

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—229838

⑤ Int. Cl.³
H 01 L 21/82
27/04
27/10

識別記号

庁内整理番号
6655—5F
8122—5F
6655—5F

⑬ 公開 昭和59年(1984)12月24日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体集積回路

地株式会社日立製作所中央研究
所内

⑮ 特 願 昭59—100646

⑯ 発 明 者 金子正紀

⑰ 出 願 昭55(1980)5月29日

国分寺市東恋ヶ窪一丁目280番
地株式会社日立製作所中央研究
所内

(前実用新案出願日援用)

⑱ 発 明 者 湊修

⑲ 出 願 人 株式会社日立製作所

国分寺市東恋ヶ窪一丁目280番
地株式会社日立製作所中央研究
所内

東京都千代田区神田駿河台4丁
目6番地

⑳ 発 明 者 増原利明

㉑ 代 理 人 弁理士 中村純之助

国分寺市東恋ヶ窪一丁目280番

明 細 書

1. 発明の名称 半導体集積回路

2. 特許請求の範囲

半導体基体の表面領域に回路プログラム用素子を有してなる半導体集積回路において、該回路プログラム用素子が基体表面領域に互に離れて設けられた少なくとも二つの高濃度不純物領域からなることを特徴とする半導体集積回路。

3. 発明の詳細な説明

[発明の利用分野]

本発明は、半導体基体の表面領域に回路プログラム用素子を有している半導体集積回路に関する。さらに詳しくは、本発明の半導体集積回路は、回路内に回路プログラム用素子を有し、レーザ・スポット等のエネルギー・スポットを照射して行う回路プログラム方法を実施するのに好適な装置である。

集積回路の配線の一部を切断することにより、製作済の集積回路チップの回路プログラムを行う

ことができる。

[発明の背景]

従来、この回路プログラム方法は、例えば、読み出し専用メモリ (ROM) の回路プログラム等に用いられてきた他、最近ではメモリ素子の欠陥セルの救済に利用されている。これらの従来法は、つぎのような方法を用いるのが通例であった。

(1) 電流によりヒューズを溶断せしめ、配線の切断を行う。

(2) レーザ・パルスにより、外部より光学的にエネルギーを与え、配線の切断を行う。

第1図は、シリコン基板3に被着されたSiO₂層2により基板と電気的に分離された多結晶シリコン層またはAl層1に、レーザ・スポット4を照射し、第2図に示す様にこれを切断して回路プログラミングを行う方法を示す。この一例として、アール・ピー・センカ (R. P. Cenker) らにより (1979 ISSCC Digest of Technical Papers)、MOSメモリのデコーダの配線の変更を行い、メモリの欠陥セルに接続されたデコーダを切り放し、ダミ

ー・デコーダに接続された欠陥のないセルと取り替えるという実験結果が示されている。

しかしながら、このように素子を切断する方法は以下の欠点を有する。

(1) レーザのエネルギーとして大きなものが必要であり、とけた多結晶SiやAlが近傍のSiO₂膜を損傷したり、レーザ・ビームが基板を損傷し易い。このため、レイアウトに十分余裕が必要で、結局大面積となる。

(2) 切断という手段だけでは不足であって、短絡の方がチップの占有面積上有利となる場合がある。

〔発明の目的〕

発明の目的は、レーザ、電子ビーム等による加熱方法を利用し、小さい余裕面積で回路形成、回路変更等の回路プログラミングができ、かつ、素子の信頼性を損ったり、外観を傷つけることなく回路プログラム可能な半導体集積回路の構成を有し、回路プログラム方法を適用するのに好適な半導体集積回路を提供することである。

造に適用し、32, 33を引き伸ばし拡散させることにより、本来、個別の素子であったものを短絡あるいは抵抗体として接続することが出来る。すなわち、本発明の第1の実施例である第4図において、領域42, 43は、それぞれ不純物層32, 33が、エネルギー・ビーム・スポット401の照射により拡散して拡がった領域である。

以上の例においては、基板とは反対導電型の高不純物濃度領域を示したけれども、高不純物濃度領域が基板と同一導電型であることも、一方の領域は基板と同一導電型で他方の領域は基板と反対導電型であることもあり得る。

そこで、集積回路の構成素子として、第3図の構造の素子を用いることにより、次の様な集積回路の回路プログラミングを任意に行なうことができる。

(1) エネルギー・ビーム・スポット照射により、任意の個別の不純物層を接続することにより、任意の回路結線を行い、所望の回路を完成させる。

(2) エネルギー・ビーム・スポット照射により、

〔発明の概要〕

上記目的を達成するために、本発明による半導体集積回路は、半導体基体の表面領域に回路プログラム用素子を有してなる半導体集積回路において、該回路プログラム用素子が基体表面領域に互に離れて設けられた少なくとも二つの高濃度不純物領域からなることを要旨とする。

〔発明の実施例〕

半導体集積回路の構成素子として、基板表面に該基板と反対導電形の不純物層を設け、それを抵抗あるいは配線として用いる方法がある。第3図に、上記素子の断面図を示す。

図において、31は半導体基板、たとえば不純物濃度 10^{16} cm^{-3} のp型シリコン基板、32, 33は、半導体集積回路において、抵抗あるいは配線として用いられる、例えば不純物濃度 10^{18} cm^{-3} 以上、深さ $0.5 \mu\text{m}$ のn⁺型層、34は素子間分離用の絶縁膜である。

第3図に示した構造の素子に対して、レーザ・電子ビーム等による局所的加熱方法を上記素子構

造の個別の不純物層を接続することにより、回路本体の回路構成を変更する。

(3) エネルギー・ビーム・スポット照射により、任意の個別の不純物層を接続することにより、回路本体に予備回路を結合させる。

(4) エネルギー・ビーム・スポット照射により、任意の個別の不純物層を接続することにより、回路本体に予備回路を結合させるとともに、第1, 第2図の切断プログラム法により回路本体の欠陥部分を除去し、予備回路により欠陥回路を置き換える。

第5図は、第4図の集積回路素子を含むデコーダ回路を示したもので、メモリ集積回路の欠陥ビットを救済することのできるプログラム可能なデコーダを示す。ここでVccは電源電圧端子、501～506はnチャネル・エンハンスメント型MOSトランジスタ、507, 508はnチャネル・デプレッション型MOSトランジスタ、509～512はインバータ回路で、509と510あるいは511と512でワード線513あるいは514を駆動するドライブ

回路を構成している。520～526は第4図に示した構造の回路プログラム用素子である。520～524の一方の端子はアドレス線530～534に接続され、他方の端子は二組ずつ対に接続されてデコーダのMOSトランジスタ504～506のゲートに接続される。ここで、514は予備のワード線であり、予備のメモリ・セルに接続されており、通常のメモリ・セル・アレーで不良ビットがなければ、515なる高抵抗素子で、517なる端子を接地電位にし、出力514は常に低レベルとなる。今、通常のメモリ・セル・アレー内に位置するワード線513に接続されたメモリ・セルに不良セルがあった場合、このデコーダ(501～503, 507で構成される)に接続されるアドレス線530, 532, 533に応じて、素子521, 522, 524, 525にレーザを照射して接続状態にすれば、この予備デコーダ(504～506, 508で構成される)回路は、501～503, 507で構成される元のデコーダと同じ接続となる。また、素子526にもレーザを照射して接続し、507の抵抗より十分小さな抵抗とすれば、

とは云うまでもない。さらに、デコーダ回路をnチャネル型MOSトランジスタで構成した例で示したが、CMOS回路で構成しても、本発明より得られる効果は同じである。

〔発明の効果〕

以上説明した通り本発明による半導体集積回路は、半導体基体の表面領域に回路プログラム素子を有してなる半導体集積回路において、該回路プログラム用素子が基体表面領域に互に離れて設けられた少なくとも二つの高濃度不純物領域からなることにより、レーザ、電子ビーム等を用いて、小さい余裕面積で回路形成、回路変更等の回路プログラミングができ、かつ素子の信頼性を損ったり、外観を傷つけることなく回路プログラムが可能である。

4. 図面の簡単な説明

第1図および第2図は従来の回路プログラム用素子の斜視図、第3図は本発明による回路プログラム用素子の断面図、第4図は本発明の一実施例図、第5図は本発明による回路プログラム用素子

端子516は実質上接地され、513は常に低レベルとなり、ワード線513は514に置きかわることになる。以上の様に、本発明の半導体集積回路と回路プログラム方法によれば、メモリICの不良ビット修正が可能となる。

以上、本発明を各実施例により説明したが、第4図の実施例において、34なる素子間分離用絶縁膜下の半導体基板表面に、素子間分離しきい電圧を上げる目的で、基板31と同じ導電型の層を形成することがあるが、本発明より得られる効果は同じである。また、上記実施例では、本発明による素子ならびにデコーダ回路をp型基板上に集積したnチャネル形MOSトランジスタおよびn⁺型層を例にとりて説明したが、n形基板上に集積したpチャネル型MOSトランジスタおよびp⁺型層、n形基板上に集積したpチャネル型MOSトランジスタおよびp⁺型層およびp型ウェル内のnチャネル型MOSトランジスタおよびn⁺型層から成るCMOS回路、または、それぞれ導電型が異なる、p型基板上に集積したCMOS回路に適用できるこ

を用いたデコーダ回路の回路図である。

- 1…多結晶シリコン層またはAl層
- 2…SiO₂層
- 3…シリコン基板
- 4…レーザ・スポット
- 31…半導体基体
- 32, 33…n⁺型層
- 34…絶縁膜
- 42, 43…n⁺型層が広がった領域
- 401…エネルギー・ビーム・スポット
- 501～506…nチャネル・エンハンスメント型MOSトランジスタ
- 507, 508…nチャネル・デプレッション型MOSトランジスタ
- 509～512…インバータ回路
- 513, 514…ワード線
- 515…高抵抗素子
- 516, 517…端子
- 520～526…回路プログラム用素子
- 530～534…アドレス線
- Vcc…電源電圧端子

代理人弁理士 中村純之助

図 1

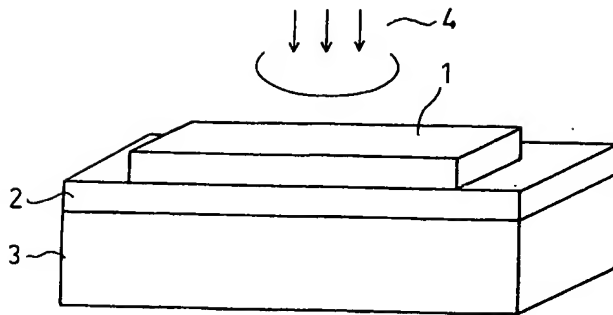


図 2

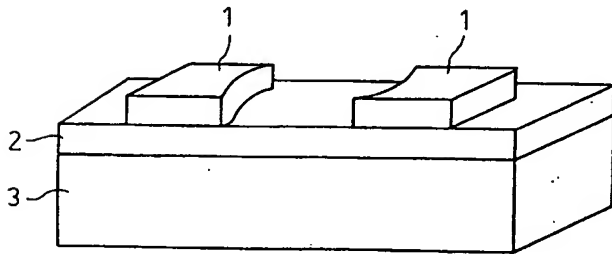


図 3

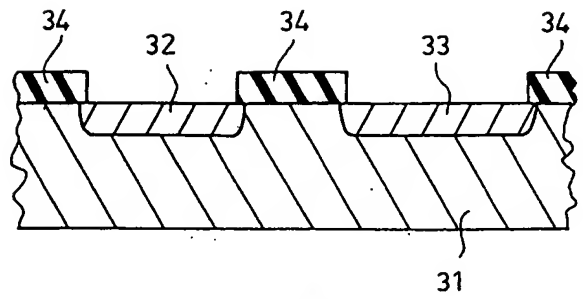


図 4

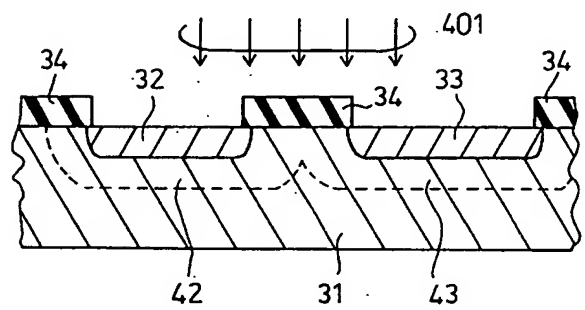


図 5

